

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268215

(43)公開日 平成6年(1994)9月22日

(51)IntCl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/265				
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		8617-4M	21/ 265	V
		8617-4M		A
			審査請求	未請求 請求項の数 5 O L (全 6 頁)

(21)出願番号 特願平5-48960

(22)出願日 平成5年(1993)3月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 宮本 正文

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 石井 達也

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 永井 充

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

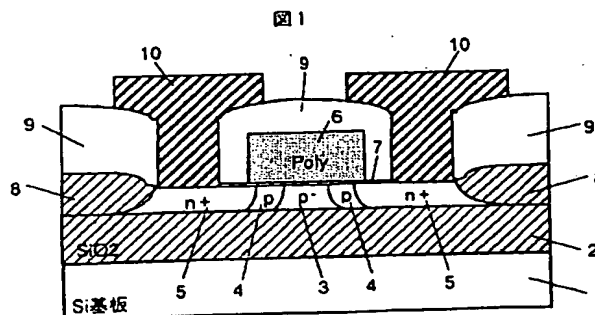
(54)【発明の名称】 M I S型半導体装置

(57)【要約】

【目的】 本発明の目的は薄膜SOIの半導体層の厚さの変動によるしきい値ばらつきを低減し、さらに移動度を向上させたMIS型半導体装置を提供することにある。

【構成】 薄膜SOIのチャネル端領域を高濃度にしてこの領域では反転層形成時も完全に空乏化しないようにし、しきい値を導電不純物濃度で決定する。その他のチャネル領域は完全空乏化させてバンスルーを低減すると共に極めて低濃度にして不純物散乱を低減して移動度の向上を図る。

【効果】 本発明によれば薄膜SOIの半導体層の厚さの変動によるしきい値ばらつきを低減し、かつ、移動度の向上により高速度動作を可能にする。



特許庁

【特許請求の範囲】

【請求項1】絶縁膜上の半導体層に形成されたMIS型半導体装置において前記半導体装置のチャネル端の導電不純物濃度を高くして反転層形成時の空乏層の厚さが前記半導体層の厚さよりも小さくなるように設定し、かつ、その他のチャネル領域は反転層形成時の空乏層の広がりにより前記半導体層表面から前記絶縁膜との界面まで完全に空乏化することを特徴とする半導体装置。

【請求項2】絶縁膜上の半導体層に形成されたMIS型半導体装置において前記半導体装置のチャネル端の表面より深い領域に導電不純物濃度の高い埋込層を設けて反転層形成時の空乏層の厚さが前記絶縁膜上の半導体層の厚さよりも小さくなるように設定し、かつ、その他のチャネル領域は反転層形成時の空乏層の広がりにより前記半導体層表面から前記絶縁膜との膜界面まで完全に空乏化することを特徴とする半導体装置。

【請求項3】請求項1及び請求項2に記載のMIS型半導体装置においてチャネル端の片側のみに前記の高濃度領域あるいは高濃度埋込層を設けたことを特徴とする半導体装置。

【請求項4】請求項1から請求項3までのいずれかに記載のMIS型半導体装置を用いた半導体集積回路。

【請求項5】200K以下の低温で動作させることを特徴とする請求項1から請求項4までのいずれかに記載のMIS型半導体装置および半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は絶縁膜上の半導体層に形成された半導体装置に係り、特にその半導体層の膜厚変動によるしきい値ばらつきをおさえ、移動度の向上を目指したMIS型半導体装置に関する。

【0002】

【従来の技術】以下シリコン半導体を例にSOI(Silicon On Insulator)で説明するが、他の半導体材料でも動作原理は同じである。絶縁膜上の半導体層を極めて薄くしてMOS反転層形成時にはチャネル領域の半導体層が完全に空乏化する薄膜SOI型MOSトランジスタ(図2)はパンチスルーの抑制、移動度の向上、接合容量の低減等の効果がある。しかし、薄膜SOIの半導体層3の厚さが0.1 μ m程度と極めて薄いためその厚さの制御が難しく、 $\pm 0.02\mu$ m程度の変動が存在する。薄膜SOIのしきい値は完全空乏化したチャネル領域内の電荷量で決定されるため、完全空乏化の状態にあるかぎり半導体層3の厚さにより変化する。すなわち、半導体層3の厚さに比例して含まれる電荷量が増加し、その電荷量に対応してしきい値が上昇する。このため、製造プロセスの揺らぎによる半導体層3の膜厚変動によりチャネル領域内の電荷量が変化し、しきい値のばらつきが起る問題がある。薄膜SOIのしきい値の半導体層膜厚依存性を図3に示す。半導体層3の濃度を 2.2×10

$17/\text{cm}^3$ に設定した場合、完全空乏化した状態でしきい値を0.2Vに設定するためには半導体層の厚さは55nmにする必要があり、膜厚が $\pm 0.02\mu$ m程度変動するとしきい値は ± 0.1 V変動してしまう。このしきい値のばらつきはMOSトランジスタで組んだ回路を低電圧で動作させた場合に回路速度の大きな変動や回路の動作の不良などの問題を引き起こす。

【0003】薄膜SOIにおけるしきい値のばらつきを対策した例としては、特開平3-297171号公報に示されているものがある。薄膜半導体層3への導電不純物の導入を低エネルギーのイオン打ち込みにより行い、半導体層の内部にのみ導電不純物を導入することにより全体の電荷を制御しようとするものである。この方法によれば半導体層3の膜厚変動に拘らずチャネル内の導電不純物の量は一定と成るので完全空乏化しているかぎりしきい値は半導体層膜厚に依存しなくなる。この方法は素子構造の変更なしで薄膜SOIのしきい値を精度良く制御できるが、厚さ0.1 μ mの半導体内部にのみイオン打ち込みを行うことは技術的に難しいという問題点がある。

【0004】

【発明が解決しようとする課題】従来の薄膜SOIでは絶縁膜上の半導体層の厚さの変動によりしきい値にばらつきが生じる問題点がある。

【0005】本発明の目的は薄膜SOIの素子構造を工夫することにより、半導体層の厚さの変動によるしきい値ばらつきを低減し、さらに移動度の向上を計るMIS型半導体装置を提供することにある。

【0006】

【課題を解決するための手段】上記の目的は、本発明の基本的な実施例(図1)に示すように、薄膜SOIのチャネル端の領域4を高濃度にしてこの領域では反転層形成時も完全に空乏化はしないようにする。すなわち、この領域のしきい値は導電不純物濃度で決定されるため、薄膜半導体の厚さにかかわらずしきい値を決定することができる。しきい値はチャネル端で決定されるので、その他のチャネル領域3は完全空乏化させてパンチスルーを低減すると共に極めて低濃度にして不純物散乱を低減して移動度の向上を図る。

【0007】

【作用】薄膜SOIのしきい値がSOI膜厚に依存するのはチャネル領域が完全に空乏化しているためであるから、完全空乏層化していない領域を設けてその領域でしきい値が決定されるようにすればSOI膜厚に依存しないしきい値を得ることができる。本発明の基本的な実施例(図1)においてチャネル端の領域4の濃度は完全空乏化しない状態でしきい値が所定の値になる濃度に設定してある。この実施例では図3に示すようにSOI膜厚は120nmに設定し、チャネル端の濃度は $1.4 \times 10^{17}/\text{cm}^3$ としてSOI膜厚の変動も含めて完全空乏化

3

の状態にならないように定めてある(図3)。従ってこの領域のしきい値はSOIの膜厚には依存せず一定のしきい値を得ることができる。一方、チャネル中央の領域3は完全に空乏化させるため低濃度($1 \times 10^{16}/\text{cm}^3$)に設定している。しきい値はチャネル端の領域4と比較して極めて低く、トランジスタ全体のしきい値を決定する要因にはならない。また、半導体層3の表面から絶縁膜2との界面まで完全に空乏化しているためパンチスルーを抑制できるとともに、導電不純物の量が少ないため不純物散乱が少なく高い移動度を達成することができる。

【0008】

【実施例】本発明の第1の実施例を図1に示す。ウェーハボンディング法などにより酸化膜2上に形成された半導体層3(厚さ120nm)にまず素子分離領域8をLOCOS酸化により形成し、次にイオン打ち込みとアニールにより半導体層を低濃度($1 \times 10^{16}/\text{cm}^3$)ドーピングする。ゲート酸化膜7を酸化により形成し、ポリシリコンを堆積してイオン打ち込みなどによりドーピングした後必要な大きさに加工してゲート電極6を形成する。その後、ゲート電極6をマスクとしたボロンの斜めイオン打ち込みにより自己整合的に高濃度領域4を形成する。領域4濃度は反転層形成時にも半導体層が完全に空乏化せず、しきい値が導電不純物濃度のみで決定できるように $1.4 \times 10^{17}/\text{cm}^3$ に設定した(図3)。ただしチャネル端ではソース/ドレインによる電界の影響により、空乏層内電荷の一部がソース/ドレイン電界により支配されるので、その分を考慮して通常のMOS構造よりも高い濃度に定めてある。その後は砒素のイオン打ち込みによりソース/ドレイン拡散層領域5を形成し、通常のMIS型半導体装置の形成方法に従って層間絶縁膜9と金属電極10を形成する。本実施例によればしきい値が領域4で決定されるため、半導体層の厚さが100nmから140nmまで変動してもしきい値の変化はない。また、チャネル中央領域4は $1 \times 10^{16}/\text{cm}^3$ と低濃度であるため、完全に空乏化してパンチスルーを押さえると共に、ゲート酸化膜7の界面における電界の緩和と不純物散乱の減少により移動度の向上を図ることができる。

【0009】次に第2の実施例を図4に示す。チャネル端を完全空乏化をさせずにしきい値を決定させるため、高濃度の埋込層11を設けチャネル端の半導体層表面は低濃度になるよう設定する。高濃度埋込層11の形成はゲート電極6をマスクとして斜めイオン打ち込みで形成するが、イオン打ち込みのエネルギーを高くして濃度分布のピークが半導体層と酸化膜2の界面に来るように設定してある。本実施例によれば半導体層の膜厚に依存しないしきい値が得られると共に、チャネル端の表面も低濃度になるので移動度の低下が抑えられトランジスタ全体としての移動度を更に向上させることができる。

4

【0010】本発明の第3の実施例を図5に示す。本実施例では高濃度層4をソース側のみに設けて、しきい値を制御している。この構造によればしきい値はソース側の高濃度領域4で決定されるので、半導体層の厚さのばらつきによらず一定のしきい値が得られると共に、ドレインとチャネル領域3の接合容量の低減を図ることができる。なお、第2の実施例のように高濃度埋込層11をソース側のみに設けても同等の効果を得ることができる。

【0011】次に本発明を用いてCMOS構造を形成した第4の実施例を図6に、その形成方法を図7に示す。通常基板のCMOSでは素子分離のウェル領域が必要であるが、薄膜SOIでは下地酸化膜2と素子分離領域8によって完全に素子が絶縁分離されるため、ウェルは不要となる。素子分離領域8を形成後、半導体層にドーピングする際にマスクによりイオン打ち込みを振り分けNMOS領域3はp形にPMOS領域12はn形にする(図7a)。ゲート酸化膜形成後、ポリシリコンを堆積してNMOS領域6には砒素を打ち込んでn形ポリシリコンとし、PMOS領域15にはボロンを打ち込んでp形ポリシリコンとする。その後、ポリシリコンを加工して必要な大きさのゲートにして、ゲート電極をマスクとした斜めイオン打ち込みにより高濃度領域4と14をそれぞれ形成する(図7b)。ここで斜めイオン打ち込みのエネルギーを上げることで第2の実施例と同じ埋込層を形成することもできる。次にNMOS領域には砒素、PMOS領域にはボロンをイオン打ち込みしてソース/ドレイン領域(5, 13)を形成する(図7c)。後は通常のプロセスにより配線工程を通して完成する(図7d)。本実施例によれば半導体層の膜厚変動によっても回路性能の変化が少ないSOI-CMOS集積回路を提供することができる。

【0012】次に本発明をダブルゲートのSOIに適用した第5の実施例を図8に示す。薄膜SOIではチャネル領域の下にバックゲート電極16を設けたダブルゲートSOI構造が用いられる場合がある。この場合、2つのゲートでチャネル領域をコントロールするので反転層形成時の空乏層はチャネル領域の上下両側から伸びる。したがって、半導体層の厚さは片側ゲートの場合の2倍の厚さでも完全空乏化する。この場合でも半導体層の厚さによりしきい値が変動する原理は変わらない。本実施例ではチャネル端の高濃度領域4により反転層形成時の空乏層の厚さの合計が半導体層の膜厚より小さいためにこの領域では完全空乏化せず、しきい値は導電不純物濃度で決定される。また、チャネル中央部3は低濃度で完全に空乏化するため、パンチスルーの抑制、移動度の向上ができる。形成方法はまず、通常の基板に素子分離領域8ゲート酸化膜17、ゲート電極16を形成後、酸化膜2をデボジションにより形成する。次に絶縁膜2を下にして他の半導体基板1の上に貼り合わせる。素子分離

5

領域8をストップパとして半導体層を研磨して薄膜化する。次にゲート酸化膜7、ゲート電極6を形成して斜めイオン打ち込みにより高濃度領域4を形成する。その後は通常の配線工程により、層間膜9、電極10を形成する。本実施例によればダブルゲートのSOIにおいても半導体層の膜厚の変動によってしきい値のばらつきがなく、駆動電流の大きいMOSTランジスタを提供することができる。

【0013】次に縦型の薄膜SOIに本発明を適用した第6の実施例を図9に示す。通常の半導体基板1をドライエッチングにより加工して薄い壁（能動領域）を形成し、その領域にダブルゲートのSOI型MOSTランジスタを形成する。ゲート電極を壁の両側に形成して、電流を縦方向に流すものである。本実施例においてもドライエッチの加工精度により壁の厚さが変動し、しきい値にばらつきが生ずる。チャネル端に高濃度領域4を形成することによりこの領域は完全空乏化せず、不純物濃度でしきい値が決定できる。また、その他のチャネル領域3は低濃度にして完全空乏化させることにより、バンチスルーを抑制し、移動度の向上を図ることができる。形成方法はまず、半導体基板1にイオン打ち込みのエネルギーを変えて高濃度領域4を2カ所に形成する。次にトランジスタとなる能動領域を残してドライエッチを行ない薄い能動領域を形成する。酸化によりゲート酸化膜7を形成後、ポリシリコンを全面にデポジションしてドライエッチを行なうことにより能動領域の側壁にゲート電極を形成する。次に砒素の高濃度イオン打ち込みを行なうと能動層の頂点と基板にソース、ドレイン領域5が自己整合的に形成される。その後は通常の配線工程により、層間膜9、電極10を形成する。本実施例によれば縦型のダブルゲートのSOIにおいても半導体層の膜厚の変動によるしきい値のばらつきがなく、駆動電流の大きいMOSTランジスタを提供することができる。

【0014】本発明を用いた回路例を図10に示す。本発明のトランジスタはしきい値のばらつきが小さいので差動アンプのようなしきい値ばらつきが出力のオフセット電圧に直接影響するような回路でも安定に動作させることができる。

【0015】また本発明の各実施例の電界効果トランジスタは、200K以下の低温で動作することにより、高移動度を得ることができる。

【0016】

6

【発明の効果】以上説明したように本発明によれば薄膜SOIの半導体層の厚さの変動によるしきい値ばらつきを低減し、かつ、移動度の向上により高速度動作を可能にする。しきい値の半導体層膜厚依存性を図3に示したが、従来では±20nmの膜厚変動によりしきい値が±0.1V変動するのに対し、本実施例ではしきい値の変動は皆無である。従来例では半導体層の厚さのばらつきにより全チャネル長でしきい値が±0.1V変動するのに対して、本発明では半導体層の厚さの変動があってもしきい値の変化はない（図11）。また、短チャネルにおけるしきい値の低下（短チャネル効果）は本発明においても従来の完全空乏化SOIと同等の性能がある。

【図面の簡単な説明】

【図1】本発明の基本的な実施例を示す

【図2】従来の薄膜SOI構造を例を示す。

【図3】薄膜SOI型MOSTランジスタにおけるしきい値の半導体層膜厚依存性を示す。

【図4】高濃度埋込層を用いた第2の実施例を示す。

【図5】ソース側のみに高濃度領域を設けた第3の実施例を示す。

【図6】本発明をCMOS構造に適用したの第4の実施例を示す。

【図7】本発明の第4の実施例の形成方法を示す。

【図8】本発明をダブルゲートSOIに適用した第5の実施例を示す。

【図9】本発明を縦型SOIに適用した第6の実施例を示す。

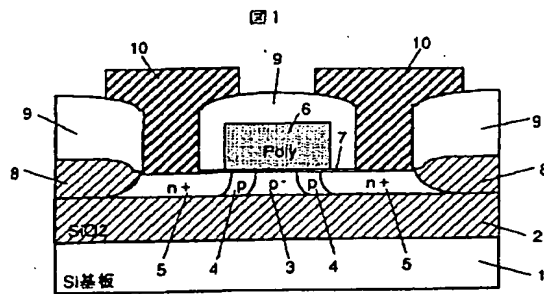
【図10】本発明を用いた差動アンプ回路例を示す。

【図11】しきい値のチャネル長依存性における本発明の効果を示す。

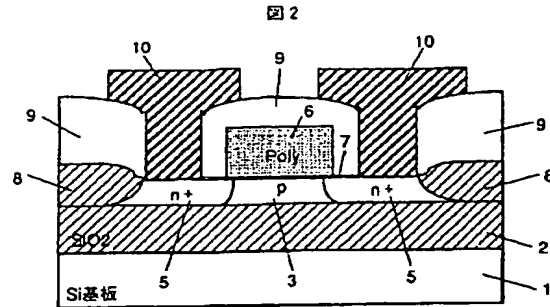
【符号の説明】

1…半導体基板、2…下地酸化膜、3…チャネル領域p形半導体層、4…チャネル端p形半導体層、5…n形ソース／ドレイン拡散層、6…n形ポリシリコンゲート電極、7…ゲート酸化膜、8…フィールド酸化膜、9…層間絶縁膜、10…アルミ電極層、11…チャネル端p形高濃度埋込層、12…チャネル領域n形半導体層、13…p形ソース／ドレイン拡散層、14…チャネル端n形半導体層、15…p形ポリシリコンゲート電極、16…n形ポリシリコンバックゲート電極、17…バックゲート酸化膜。

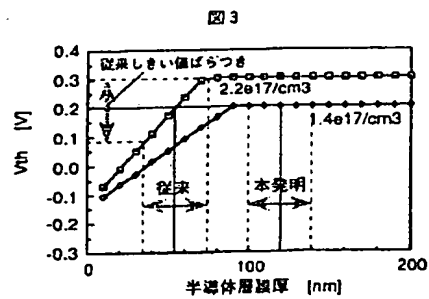
【図1】



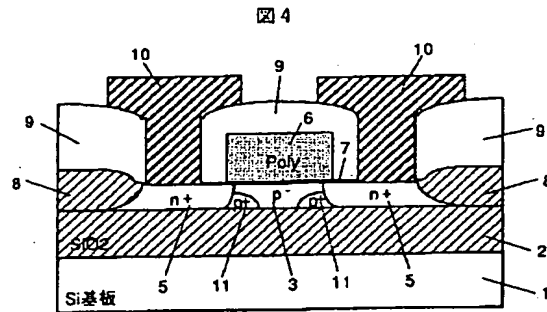
【図2】



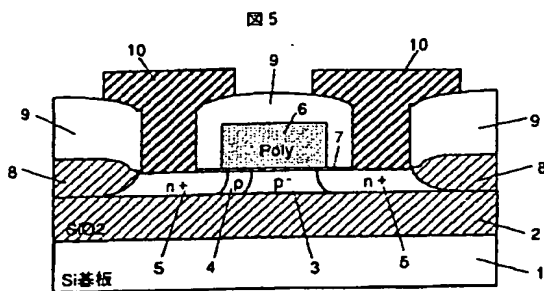
【図3】



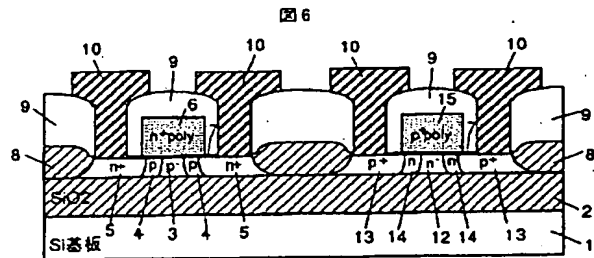
【図4】



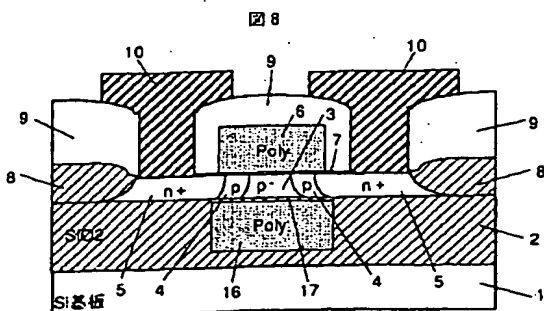
【図5】



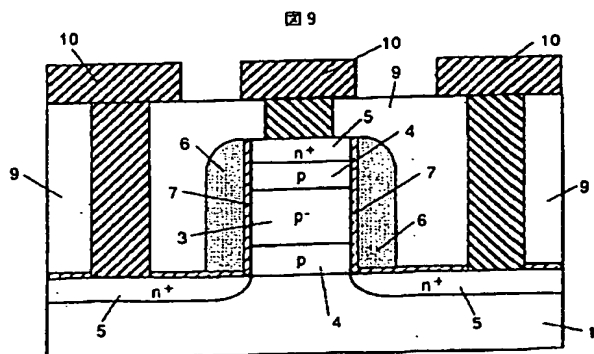
【図6】



【図8】

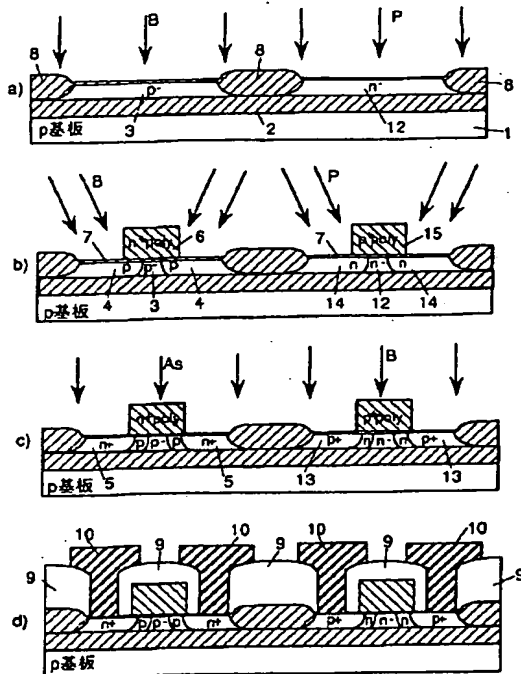


【図9】



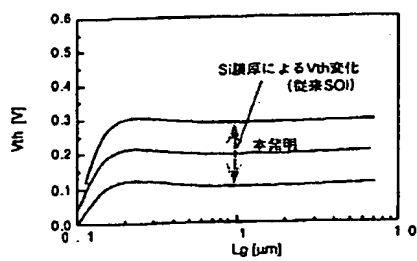
【図7】

図7



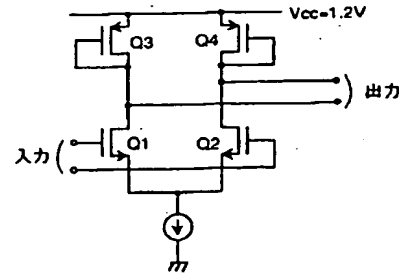
【図11】

図11



【図10】

図10



フロントページの続き

(72)発明者 関 浩一

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内